

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. Januar 2005 (20.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/006601 A1

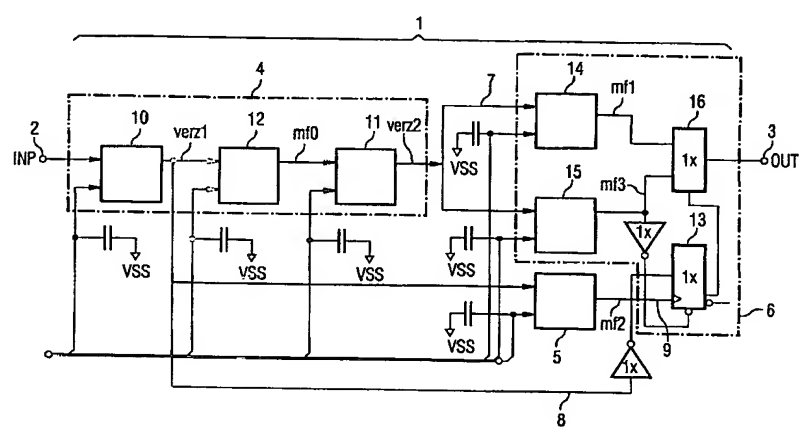
- (51) Internationale Patentklassifikation⁷: H04B 10/158
- (21) Internationales Aktenzeichen: PCT/DE2004/001244
- (22) Internationales Anmeldedatum:
18. Juni 2004 (18.06.2004)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
103 28 749.3 25. Juni 2003 (25.06.2003) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): ZENTRUM MIKROELEKTRONIK DRESDEN
AG [DE/DE]; Grenzstrasse 28, 01109 Dresden (DE).

- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): GIESELER, Michael
[DE/DE]; Cämmerswalder Strasse 17, 01189 Dresden
(DE). SORST, Manfred [DE/DE]; Sonnenweg 10, 01445
Radebeul (DE).
- (74) Anwalt: ADLER, Peter; Lippert, Stachov, Sschmit &
Partner, Krenkelstrasse 3, 01309 Dresden (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND ARRANGEMENT FOR FORMING RECEPTION PULSES IN AN INFRARED RECEIVER

(54) Bezeichnung: VERFAHREN UND ANORDNUNG ZUR FORMIERUNG VON EMPFANGSIMPULSEN IN EINEM IN-
FRAROT-EMPFÄNGER



(57) Abstract: The invention relates to a method and arrangement for forming reception pulses. According to invention, the output signals of an upstream comparator which recognises light pulses are used to evaluate a downstream arrangement and are newly formed and emitted as pulses. The aim of the invention is to produce a method and an associated circuit arrangement for forming reception pulses which represent a saving in energy, whereby said arrangement can be integrated into existing receiver systems, requires no external time base and can work with the signal of an upstream comparator. The aim of the invention is achieved due to said inventive method which comprises a plurality of steps. In a first step, an input signal delivered by an upstream comparator is delayed, whereupon a time reference is produced in a controlled manner and an output pulse begins to be formed in a controlled manner by means of the delayed input signal from the first step. The input signal level is examined once production of the time reference is completed. Said examination refers back to the length of the received pulse, and the duration of the output impulse is adjusted according to the results of the examination.

(57) Zusammenfassung: Die Erfindung, die ein Verfahren und Anordnung zur Formierung von Empfangsimpulsen betrifft, bei dem die Ausgangssignale eines vorgeschalteten Komparators, welcher Lichtimpulse erkennt, zur Auswertung durch eine nachgeordnete Anordnung neu formiert und als Impulse ausgegeben werden, liegt die Aufgabe zugrunde, ein

[Fortsetzung auf der nächsten Seite]

WO 2005/006601 A1

5

10 **Verfahren und Anordnung zur Formierung von Empfangsimpulsen**
 in einem Infrarot-Empfänger

Die Erfindung betrifft ein Verfahren und eine Anordnung zur
Formierung von Empfangsimpulsen in einem nach dem IrDA-Standard
15 arbeitenden Empfänger, bei dem die Ausgangssignale eines vorge-
schalteten Komparators, welcher Lichtimpulse erkennt, zur Aus-
wertung durch eine nachgeordnete Anordnung neu formiert und als
Impulse ausgegeben werden.

20 Bei einer Datenübertragung mittels Infrarotlicht nach dem IrDA-
Standard (Infrared Data Association) beispielsweise in der Spe-
zifikation FIR (Fast Infrared) bei der die Modulationsart 4PPM
(Four Pulse Position Modulation) verwendet wird, müssen Nachbe-
handlungsmaßnahmen für die von einem Komparator erzeugten Aus-
25 gangsimpulse vorgenommen werden. Bei dieser Modulationsart wer-
den jeweils zwei Datenbits zu einem Datenbitpaar DBP (data bit
pair) zusammengefasst. Zur Übertragung eines DBP steht ein
Zeitraum von 500 ns zur Verfügung, der in vier 125 ns große
Zeitscheiben, auch Chips genannt, aufgeteilt wird. Jedem der
30 vier möglichen 2-bit-Datenworte ist eindeutig eine Position o-
der ein Chip zugeordnet, der durch einen optischen Puls reprä-
sentiert wird. Die Codierung hängt somit von der Position des
Einzelimpulses innerhalb des 500 ns Zeitraums ab. Somit kann
der Fall auftreten, dass die vierte Position des Codes „n“ be-
35 setzt ist und sofort nachfolgend die erste Position des Codes

„n+1“. In diesem Fall verschmelzen beide Einzelimpulse zu einem doppelt breiten so genannten Doppelimpuls. Bedingt durch die Eigenschaften dieser 4PPM-Modulationsart müssen sowohl Einzelimpulse mit 125 ns Impulsbreite als auch Doppelimpulse mit 250 ns Impulsbreite übertragen und am Ausgang einer Schaltung zur Nachbehandlung der vom Komparator erzeugten Impulse, am digitalen Ausgang RxD eines Empfängers, als solche erkennbar gemacht werden.

Zur Realisierung dieser Übertragungsanforderungen muss ein im Infrarotlichtempfänger eingebauter Verstärker eine entsprechend große Bandbreite aufweisen. In der Praxis steht, bedingt durch einen hohen Stromverbrauch bei einer entsprechend großen Bandbreite, eine begrenzte Bandbreite zur Verfügung, deren Wert durch die Anforderungen für die Übertragung des Einzel- und des Doppelimpulses festgelegt wird. Damit kommt es innerhalb des Übertragungsbereiches im kritischen Fall, abhängig von der Eingangsstromamplitude, zur Verlängerung der Einzelimpulse sowie zur Verkürzung der Doppelimpulse.

Eine Schaltung zur Nachbehandlung der Ausgangssignale eines Komparators besteht im einfachsten Fall aus einem Monoflop zur Formierung des Einzelimpulses. Im Fall der Übertragung eines Doppelimpulses erfolgt eine kombinatorische Verlängerung des vom Monoflop gelieferten Einzelimpulses entsprechend der Verstärkerdynamik dieses Impulses. Somit wird zwar der Einzelimpuls neu generiert, der Doppelimpuls jedoch nur aus einem generierten Einzelimpuls und dem von der Verstärkerdynamik abhängigen und verzerrten Impulsrest zusammengesetzt.

Weiterhin sind, beispielsweise aus der US 6,198,766 B1, komplexere Schaltungen zur Nachbehandlung bekannt, welche unter Verwendung einer externen Zeitbasis ein ideales Zeitraster definieren und die Komparatorimpulse entweder in dieses Raster einsynchronisieren oder sogar adaptiv modifizieren.

Die sehr einfache und platzoptimale Lösung eines einzelnen Monoflops zur Formierung der Einzelimpulse hat die großen Nachteile, dass zum Einen zu lange Einzelimpulse mit stark variierender Impulsbreite am Komparatorausgang durch die für die Übertragung der Doppelimpulse erforderliche Logik am Ausgang RxD der Nachbehandlungsschaltung über die Monoflopzeit hinaus gestreckt werden. Zum anderen wird der Doppelimpuls selbst nur kombinatorisch überführt und gar nicht bearbeitet. Am Ausgang RxD erscheint demzufolge immer nur die direkte und instabile Impulsbreite des Komparators. Beide Effekte können unabhängig voneinander zum Abreißen der Datenübertragung nach dem IrDA-Standard führen, wenn in bestimmten Dynamikbereichen die Impulsbreiten nicht mehr mit den Anforderungen an die minimale und/oder maximale Impulsbreitenforderung übereinstimmen. Andererseits zwingt die Forderung zu möglichst impulsgetreuer Übertragung der Lichtimpulse über den Verstärker zu einer großen Verstärkerbandbreite. Dies hat zum Einen hohen Betriebsstrom und zum anderen durch die niedrige untere Eckfrequenz beispielsweise große, flächenintensive Ankoppelkapazitäten zur Folge.

20

Systemansätze mit Fremdsynchronisation erfordern entweder einen zusätzlichen Takteingang oder aber einen integrierten Quarzoszillator, der eine hinreichend genaue Zeitbasis generiert. Damit die in der Spezifikation FIR geltenden Jitterforderungen von 20 ns einhaltbar sind, erfordert eine solche Lösung Abtastfrequenzen von mindestens 48 MHz, welche auch der Taktfrequenz des I/O-Schaltkreises entspricht. Neben einer komplexen und damit platzaufwändigen Schaltung befindet sich mit diesem Takt und dessen Nutzung eine Störquelle auf dem Chip, welche durch weitere platzaufwändige Schirmungsmaßnahmen vom empfindlichen Verstärkerkomplex fern zu halten ist.

Der Erfindung liegt somit die Aufgabe zugrunde, ein Verfahren und eine dazugehörige Schaltungsanordnung zur Formierung von Empfangsimpulsen anzugeben, mit dem eine platz- und energiesparende Formierung von Empfangsimpulsen erreicht wird, das sich

35

in bestehende Empfängersysteme integrieren lässt, keine externe Zeitbasis erfordert und mit dem Signal eines vorgeschalteten Komparators auskommt.

- 5 Gemäß der Erfindung wird die Aufgabe bei einem Verfahren zur
Formierung von Empfangsimpulsen der eingangs genannten Art da-
durch gelöst, dass in einem ersten Schritt eine Verzögerung ei-
nes vom vorgeschalteten Komparator gelieferten Eingangssignals
erfolgt, dass gesteuert durch das Eingangssignal eine Erzeugung
10 einer Zeitreferenz gestartet wird, dass gesteuert durch das im
ersten Schritt verzögerte Eingangssignals die Formierung eines
Ausgangsimpulses gestartet wird, dass mit der Beendigung der
Erzeugung der Zeitreferenz eine Prüfung des Eingangssignalpe-
gels erfolgt, welche einen Rückschluss auf die empfangene Im-
15 pulslänge realisiert und dass in Abhängigkeit des Ergebnisses
der Prüfung die Dauer des Ausgangsimpulses eingestellt wird.

- In einem ersten Schritt wird eine Verzögerung eines vom vorge-
schalteten Komparator gelieferten Eingangssignals realisiert.
20 Diese Verzögerung erzeugt eine Pufferzeit innerhalb derer eine
Entscheidung über eine mögliche erste Impulslänge oder zweite
Impulslänge, beispielsweise ein Einzel- und ein Doppelimpuls,
am Eingang INP getroffen werden kann. Zeitgleich mit dem Ein-
treffen einer Eingangsimpulsflanke an INP oder zeitlich verzö-
25 gert zu dieser wird die Zeitreferenzerzeugung gestartet. Diese
bestimmt den Zeitpunkt der Prüfung des Eingangssignalpegels auf
High- oder Low-Pegel und somit beispielsweise einen Rückschluss
auf den Empfang eines Einzel- oder eines Doppelimpulses bei der
Verwendung der Modulationsart 4PPM. Dadurch kommt das erfin-
30 dungsgemäße Verfahren ohne eine externe Zeitbasis aus, da eine
feste Kopplung des Zeitpunktes der Prüfung an die Eingangsim-
pulsflanke des vom Komparator übertragenen Impulses erfolgt.

- Durch das am Eingang E2 der Ausgangsimpulserzeugungsanordnung
35 anliegende verzögerte Eingangssignal wird die Formierung eines
Ausgangsimpulses gestartet und am Ausgang A3 ausgegeben. Dieses

Signal ist beispielsweise ein 125 ns langer Einzelimpuls oder ein 250 ns langer Doppelimpuls. Diese Formierung kann beispielsweise durch einen in der Impulsdauer umschaltbaren monostabilen Multivibrator erfolgen, dessen Grundeinstellung bei 125 ns liegt. Das Signal zur Auswahl der Impulslänge wird durch eine durch das Prüfsignal gesteuerte Prüfung des Eingangssignalpegels erzeugt. Diese Prüfung erfolgt vor dem Ablauf der Impulsdauer eines Einzelimpulses mit einer Dauer von 125 ns. Wurde im Ergebnis der Prüfung festgestellt, dass der empfangene Impuls ein Einzelimpuls ist, so bleibt die Einstellung des monostabilen Multivibrators auf eine Impulslänge von 125 ns erhalten und ein Einzelimpuls wird am Ausgang OUT ausgegeben. Wurde im Ergebnis der Prüfung festgestellt, dass der empfangene Impuls ein Doppelimpuls ist, wird der Multivibrator auf eine Impulsdauer von 250 ns umgeschaltet und ein Doppelimpuls am Ausgang OUT ausgegeben. Durch die Lage des Zeitpunktes der Prüfung vor dem Ablauf der Impulsdauer von 125 ns wird ein gesichertes Umschalten und somit die Erzeugung eines normgerechten Ausgangsimpulses gewährleistet. Sowohl die Dauer des ersten Impulses als auch die Dauer des zweiten Impulses sind veränderbar und ermöglichen somit eine Verwendung des erfindungsgemäßen Verfahrens beispielsweise zur Unterscheidung der Impulsbreiten andere Spezifikationen wie SIR (Serial Infrared), MIR (Medium Infrared) und VFIR (Very Fast Infrared).

In einer Ausgestaltung der Erfindung ist vorgesehen, dass die Verzögerung des vom vorgeschalteten Komparator gelieferten Eingangssignals in einem ersten und einem zweiten Teilschritt erfolgt und dass zwischen den Verzögerungsteilschritten eine Regenerierung des Signals durchgeführt wird.

Durch diese Aufteilung der Eingangsimpulsverzögerung in zwei Teilschritte mit der zwischen den Teilschritten vorgenommenen Impulsrekonstruktion beispielsweise auf die Länge eines Einzelimpulses bei der Modulationsart 4PPM ist es möglich, auch kurze Eingangsimpulse des vorgeschalteten Komparators sicher zu über-

tragen, welche eine Impulslänge aufweisen, die kleiner als die Gesamtverzögerungszeit der Eingangsimpulsverzögerung ist. Ohne diese Aufteilung könnte es sonst zu Übertragungsverlusten bei Impulsen mit einer entsprechend kurzen Dauer und somit zum Verlust der zu übertragenden Impulse für eine nachgeordnete Anordnung kommen.

In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, dass die Erzeugung der Zeitreferenz durch das Eingangssignal oder das im ersten Teilschritt verzögerte Eingangssignal gestartet wird.

Der Startzeitpunkt zur Erzeugung der Zeitreferenz, das heißt des für den Zeitpunkt der Prüfung des Eingangssignalpegels notwendigen Prüfsignals kann zu zwei Zeitpunkten erfolgen. Zum einen kann der Start mit dem Eintreffen der vorderen Impulsflanke erfolgen, zum anderen kann das im ersten Teilschritt verzögerte Eingangssignal, speziell wieder die vordere Impulsflanke, verwendet werden. Im zweiten Fall setzt sich die Zeitdauer vom Eintreffen der vorderen Impulsflanke bis zum Zeitpunkt der Prüfung des Eingangssignalpegels aus der Verzögerungszeit des ersten Teilschritts und der durch die Zeitreferenzerzeugungsanordnung selbst erzeugten Zeitdauer zusammen. Diese Zeitdauer ist im zweiten Fall kleiner als im ersten Fall. Der Vorteil bei einer kleineren Zeitdauer liegt in der Verwendung einer kleineren, zeitbestimmenden Kapazität die somit auch einen kleineren Platzbedarf aufweist.

In einer Ausgestaltung des erfindungsgemäßen Verfahrens ist vorgesehen, dass die Formierung eines Ausgangsimpulses derart erfolgt, dass die Formierung eines ersten Impulses und eines zweiten Impulses zeitgleich gestartet wird und in Abhängigkeit der Prüfung des Eingangssignalpegels entweder der erste oder der zweite Impuls am Ausgang ausgegeben wird.

Die Formierung der notwendigen Ausgangsimpulse wird so durchge-

führt, dass zeitgleich in verschiedenen Baugruppen die Formierung eines ersten und eines zweiten Impulses gestartet wird. Bei der Modulationsart 4PPM ist der erste Impuls beispielsweise eine Einzelimpuls mit einer Impulsdauer von 125 ns und der
5 zweite Impuls ein Doppelimpuls mit einer Impulsdauer von 250 ns. Beide Impulse sind die Eingangssignale einer Auswahl-
schaltung, welche gesteuert durch das Auswahlsignal einer Schaltung zur Prüfung des Eingangssignalpegels einen der beiden Eingangs-
impulse auswählt und als Ausgangssignal zum Ausgang durchschal-
10 tet.

Gemäß der Erfindung wird die Aufgabe bei einer Anordnung zur Formierung von Empfangsimpulsen der eingangs genannten Art da-
durch gelöst, dass der Eingang einer Verzögerungsanordnung mit
15 dem Eingang der Anordnung zur Formierung von Empfangsimpulsen INP, zur Einspeisung des Komparatorsignals, verbunden ist, dass
ein erster Ausgang der Verzögerungsanordnung mit einem ersten
Eingang einer nachgeschalteten Ausgangsimpulserzeugungsanord-
nung und der zweite Ausgang der Verzögerungsanordnung mit einem
20 Eingang einer Zeitreferenzerzeugungsanordnung verbunden ist,
dass der Ausgang der Zeitreferenzerzeugungsanordnung mit einem
zweiten Eingang der Ausgangsimpulserzeugungsanordnung verbunden
ist und dass der Ausgang der Ausgangsimpulserzeugungsanordnung
mit dem Ausgang der Anordnung zur Formierung von Empfangsimpul-
25 sen OUT verbunden ist.

Das vom vorgeschalteten Komparator gelieferte Eingangssignal
INP der erfindungsgemäßen Anordnung wird durch die Verzöge-
rungsanordnung in seiner Signallaufzeit verzögert, am Ausgang
30 A1 ausgegeben und stellt das Eingangssignal der nachgeschalte-
ten Ausgangsimpulserzeugungsanordnung am Eingang E2 dar. Mit
dem Eintreffen der ersten Eingangssignalimpulsflanke am Eingang
E1 oder nach Ablauf eines Teils der Gesamtverzögerungszeit der
Verzögerungsanordnung wird am Ausgang A2 das Startsignal ausge-
35 geben, welches das Eingangssignal der Zeitreferenzerzeugungsan-
ordnung darstellt. Gesteuert durch dieses Startsignal erfolgt

durch die Zeitreferenzerzeugungsanordnung die Erzeugung eines Prüfsignals, welches den Zeitpunkt der Prüfung des Eingangssignalpegels festlegt, das an den Eingang E3 der Ausgangsimpulserzeugungsanordnung angelegt wird. Die Ausgangsimpulserzeugungsanordnung realisiert die Prüfung des am Eingang E2 anliegenden verzögerten Eingangssignalpegels zum durch das Prüfsignal vorgegebenen Zeitpunkt und gibt in Abhängigkeit des Ergebnisses der Prüfung entweder einen ersten Impuls oder einen zweiten Impuls am Ausgang A3 aus, welcher mit dem Ausgang OUT der erfindungsgemäßen Anordnung verbunden ist. Die Erzeugung des auszugebenden ersten oder zweiten Impulses kann beispielsweise durch einen in seiner Impulslänge umschaltbaren monostabilen Multivibrator erfolgen, welcher in Abhängigkeit des Ergebnisses der Prüfung des Eingangssignalpegels umgeschaltet wird.

In einer Ausführung der Erfindung ist vorgesehen, dass die Verzögerungsanordnung aus einer Reihenschaltung eines ersten und eines zweiten Verzögerungsanordnungsteils und einer zwischen beide Teile geschalteten Anordnung zur Impulsrekonstruktion besteht.

Die Verzögerungsanordnung wird durch eine Reihenschaltung eines ersten Verzögerungsanordnungsteils, welcher eine erste Teilverzögerung der Gesamtverzögerungszeit der Anordnung realisiert, einer Anordnung zur Impulsrekonstruktion, welche das durch den ersten Verzögerungsanordnungsteil um eine Teilverzögerungszeit verzögerte Eingangssignal in seiner Impulsbreite so rekonstruiert, dass der Impuls annähernd die Impulslänge eines Einzelimpulses aufweist und eines zweiten Verzögerungsanordnungsteils gebildet, welcher eine zweite Teilverzögerung der Gesamtverzögerungszeit der Anordnung realisiert. Durch diese Aufteilung der Eingangsimpulsverzögerung in zwei Schritte mit der zwischen den Schritten vorgenommenen Impulsrekonstruktion ist es möglich, auch kurze Eingangsimpulse des vorgeschalteten Komparators sicher zu übertragen, welche eine Impulslänge aufweisen, die kleiner als die Gesamtverzögerungszeit der Anordnung

ist. Das um die Gesamtverzögerungszeit verzögerte Eingangssignal wird am Ausgang A1 ausgegeben. Am Ausgang A2 wird ein Startsignal für die nachgeschaltete Zeitreferenzerzeugungsanordnung ausgegeben, das entweder zeitgleich mit dem Eintreffen
5 der ersten Eingangssignalimpulsflanke oder nach dem Ablauf der ersten Teilverzögerungszeit erzeugt wird. Bei der zweiten Variante wird die Zeit, die durch die Zeitreferenzerzeugungsanordnung gebildet werden muss, kleiner und somit auch der Platzbedarf für den zeitbestimmenden kapazitiven Teil der Zeitreferenzerzeugungsanordnung.
10

In einer Ausführungsform der Erfindung ist vorgesehen, dass die Ausgangsimpulserzeugungsanordnung (6) aus einer Schaltung zur Formierung eines ersten Impulses (14), einer Schaltung zur Formierung eines zweiten Impulses (15), einer Schaltung zur Prüfung des Eingangssignalpegels (13) und einer Auswahl-
15 schaltung (16) besteht.

In dieser Ausführung sind in der Ausgangsimpulserzeugungsanordnung sowohl eine Schaltung zur Formierung eines ersten als auch eine Schaltung zur Formierung eines zweiten Impulses angeordnet, welche durch das am Eingang E2 anliegende verzögerte Eingangssignal zeitgleich gestartet werden. Gesteuert durch das am Eingang E3 anliegende Prüfsignal der Zeitreferenzerzeugungsanordnung wird durch die Schaltung zur Prüfung des Eingangssignalpegels ermittelt, ob ein der Länge des ersten Impulses entsprechender oder ein der Länge des zweiten Impulses entsprechender Impuls vom vorgeschalteten Komparator empfangen wurde und ein Steuersignal zur Auswahl des ersten oder zweiten Impulses durch die Auswahl-
20 schaltung erzeugt. Diese schaltet dann entweder den formierten ersten oder zweiten Impuls auf den Ausgang A3 und damit auf den Ausgang OUT der Anordnung durch.
25
30

In einer besonders günstigen Ausführungsform der Erfindung ist
35 vorgesehen, dass eine Verzögerungsanordnung aus einem p-Kanaltransistor, dessen Gateanschluss mit einem Eingang einer

logischen NAND-Schaltung und über einen Negator mit dem Eingang „Input“ verbunden ist, dessen Sourceanschluss mit dem Potential VDDa verbunden ist und dessen Drainanschluss mit dem Eingang IBIA der Verzögerungsanordnung und dem Eingang eines Schmitt-Triggers verbunden ist, einem Schmitt-Trigger, dessen negierter Ausgang mit dem zweiten Eingang der logischen NAND-Schaltung verbunden ist und der logischen NAND-Schaltung, deren negierter Ausgang mit dem Ausgang der Verzögerungsanordnung „Output“ verbunden ist, besteht.

Am Eingang „Input“ dieser Anordnung liegt im Grundzustand ein High-Pegel an. Dieser öffnet den p-Kanaltransistor, wodurch der Knotenpunkt IBIA auf High-Pegel gezogen wird. An diesem Knotenpunkt ist sowohl eine masseseitige Stromquelle als auch eine zeitbestimmende Kapazität angeschlossen. Durch den über den p-Kanaltransistor am Knoten IBIA anliegenden High-Pegel wird die angeschlossene Kapazität aufgeladen. Die NAND-Schaltung hat an beiden Eingängen einen Low-Pegel und erzeugt somit ausgangsseitig einen High-Pegel am Ausgang „Output“. Ein an den Eingang „Input“ angelegter Low-Pegel sperrt den p-Kanaltransistor und gibt die zeitbestimmende Entladung der angeschlossenen Kapazität über die Stromquelle frei. Für die Dauer der Entladung bleibt die NAND-Schaltung ausgangsseitig weiterhin auf dem High-Pegel. Das Ende des Zeitvorgangs ist dann erreicht, wenn die Spannung über der Kapazität auf die untere Schaltschwelle des Schmitt-Triggers abgesunken ist. Dieser liefert das zur Umschaltung des Ausgangs „Output“ auf einen Low-Pegel notwendige zweite High-Signal an die NAND-Schaltung.

In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, dass in einer Anordnung zur Impulsrekonstruktion und zur Formierung eines ersten Impulses, eines zweiten Impulses und der Zeitreferenzerzeugung jeweils ein Eingang „Input“ mit einem Negator verbunden ist, dass der Ausgang des Negators mit dem ersten Eingang einer nachgeschalteten ersten NAND-Schaltung und einer aus drei Negatoren bestehenden Reihenschaltung, deren

Ausgang mit dem zweiten Eingang der ersten NAND-Schaltung verbunden ist, verbunden ist, dass der Ausgang der ersten NAND-Schaltung mit einem ersten Eingang einer zweiten NAND-Schaltung verbunden ist, dass der Eingang IBIA der Anordnung mit dem Drainanschluss eines p-Kanaltransistors und über einen Schmitt-Trigger mit dem ersten Eingang einer NOR-Schaltung verbunden ist, dass der Eingang POC der Anordnung mit dem zweiten Eingang der NOR-Schaltung verbunden ist, dass der Ausgang der NOR-Schaltung mit dem ersten Eingang der dritten NAND-Schaltung verbunden ist, dass der Ausgang der dritten NAND-Schaltung mit dem zweiten Eingang der zweiten NAND-Schaltung, über einen Negator mit dem Gateanschluss des p-Kanaltransistors, dessen Sourceanschluss mit dem Potential VDDa verbunden ist, sowie mit dem Ausgang „Output“ der Anordnung verbunden ist und dass der Ausgang der zweiten NAND-Schaltung mit dem zweiten Eingang der dritten NAND-Schaltung verbunden ist.

An den Eingang IBIA der Anordnung ist sowohl eine masseseitige Stromquelle als auch eine zeitbestimmende Kapazität angeschlossen. Die mit dem Eingang „Input“ der Anordnung verbundene digitale Differenzierungsschaltung sichert, dass aus einem Low-Eingangsimpuls beliebiger Länge genau ein Low-Ausgangsimpuls formiert wird. Somit wird am Ausgang der ersten NAND-Schaltung ein Low-Impuls bestimmter Länge erzeugt, wobei die Einstellung unterschiedlicher Gatterlaufzeiten über die Dimensionierung der Bestandteile der Differenzierschaltung vorgenommen wird. Ein High-Pegel am Eingang „Input“ der Anordnung erzeugt über die zweite und dritte NAND-Schaltung einen High-Pegel am Ausgang „Output“ der Anordnung. Bei Eintreffen eines Low-Impulses am Eingang erfolgt das Umschalten des Ausganges auf einen Low-Pegel, mit einer durch die an IBIA angeschlossene Kapazität bestimmten Zeitdauer. Das von einer Power-on-Clear-Schaltung gewonnene Eingangssignal „POC“ sichert, dass die Schaltung beim Anschaltvorgang der Betriebsspannung keine Fehlimpulse erzeugen kann und den stabilen Ausgangszustand High annimmt.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. In den zugehörigen Zeichnungen zeigt

- 5 Fig. 1 eine erfindungsgemäße Anordnung zur Formierung von Empfangsimpulsen,
- Fig. 2 ein Ausführungsbeispiel der erfindungsgemäßen Anordnung zur Formierung von Empfangsimpulsen,
- 10 Fig. 3 ein Zeitablaufdiagramm des Signalflusses für das Beispiel der Übertragung eines Einzelimpulses,
- Fig. 4 ein Zeitablaufdiagramm des Signalflusses für das Beispiel der Übertragung eines Doppelimpulses bei der Modulationsart 4PPM,
- 15 Fig. 5 ein Zeitablaufdiagramm des Signalflusses für das Beispiel der Übertragung mit einer maximalen Einzelimpulsdauer und einer minimalen Doppelimpulsdauer,
- 20 Fig. 6 ein Ausführungsbeispiel für eine Verzögerungsschaltung und
- 25 Fig. 7 ein Ausführungsbeispiel einer Anordnung zur Impulsrekonstruktion und aller monostabilen Multivibratoren.

In Fig. 1 ist eine erfindungsgemäße Anordnung zur Formierung von Empfangsimpulsen 1 dargestellt. In der Fig. 2 ist die erfindungsgemäße Anordnung mit ihren Teilbaugruppen detaillierter aufgezeigt. Diese verarbeitet das vom vorgeschalteten Komparator, der nicht näher dargestellt ist, erzeugte Signal, welches am Eingang INP 2 in die Anordnung 1 eingespeist wird. Da die elektrischen Signale in allen IrDA- Protokollen negative Impulse erfordern (d.h., jeder Lichtimpuls ist in einen Low-Impuls

30

35

umzusetzen), geht auch diese Schaltungsanordnung durchgängig von Low-Impulsen aus. Aus diesem Grund sind alle in Fig. 2 aufgezeigten Teilbaugruppen so aufgebaut, dass negative Eingangsimpulse nach entsprechender zeitlicher Behandlung wieder als negative Ausgangsimpulse ausgegeben werden.

Zur Formierung, das heißt zur Aufbereitung der vom Komparator gelieferten Eingangsimpulse und zur Ausgabe beispielsweise von normgerechten Einzel- oder Doppelimpulsen am Ausgang OUT 3 der Anordnung 1 an eine nachgeordnete Schaltung zur Auswertung der übertragenen Impulse, ist der Eingang eines ersten Verzögerungsanordnungsteils 10 einer Verzögerungsanordnung 4 mit dem Eingang INP 2 der Anordnung 1, zur Einspeisung des Komparatorsignals, verbunden. Der Ausgang des ersten Verzögerungsanordnungsteils 10 ist mit dem Eingang einer Anordnung zur Impulsrekonstruktion 12, welche eine Impulsverbreiterung vornimmt, dem Eingang einer Zeitreferenzerzeugungsanordnung 5, der ein Startsignal 8 zugeführt wird, und über einen Negator mit einem Eingang eines Flipflop 13 verbunden. Der Ausgang der Anordnung zur Impulsrekonstruktion 12 ist mit dem Eingang eines zweiten Verzögerungsanordnungsteils 11 der Verzögerungsanordnung 4 verbunden. Der Ausgang des zweiten Verzögerungsanordnungsteils 11 ist mit dem Eingang einer Ausgangsimpulserzeugungsanordnung 6, das heißt sowohl der Schaltung zur Formierung eines ersten Impulses 14 als auch dem Eingang der Schaltung zur Formierung eines zweiten Impulses 15 innerhalb der Ausgangsimpulserzeugungsanordnung 6 zur Zuführung des verzögerten Eingangssignals 7 verbunden. Der Ausgang der Schaltung zur Formierung eines ersten Impulses 14 ist mit einem ersten Eingang eines Multiplexers 16 verbunden, der Ausgang der Schaltung zur Formierung eines zweiten Impulses 15 ist mit einem zweiten Eingang des Multiplexers 16 und über einen Negator mit dem Rücksetzeingang des Flipflop 13 verbunden. Der Ausgang der Zeitreferenzerzeugungsanordnung 5 ist mit dem Takteingang des Flipflop 13, zur Übertragung des Prüfsignals 9, verbunden, dessen Ausgang wiederum mit dem Adresseingang des Multiplexers 16. Der Ausgang des Multiplexers

16 ist mit dem Ausgang OUT 3 der Anordnung 1 verbunden. Der erste und zweite Verzögerungsanordnungsteil 10 und 11, die Anordnung zur Impulsrekonstruktion 12, die Zeitreferenzerzeugungsanordnung 5, die Schaltung zur Formierung eines ersten Impulses 14 und die Schaltung zur Formierung eines zweiten Impulses 15 weisen neben einem Eingang Input und einem Ausgang Output einen Eingang IBIA für einen Biasstrom auf. Diese Eingänge sind jeweils mit einer masseseitigen Stromquelle (Potential VSS) und einer zeitbestimmenden Kapazität C verbunden.

Die Schaltung nach Fig. 2 zeigt, dass das vom Komparator bereitgestellte Eingangssignal am Eingang INP 2 dem Eingang des ersten Verzögerungsanordnungsteils 10 zugeführt wird. Dieser verzögert die fallende Flanke eines jeden vom Komparator kommenden Impulses um die mit „tdelay“ bezeichnete Zeit und stellt somit die im ersten Teilschritt erfolgende Verzögerung dar. Jede steigende Flanke am Eingang des ersten Verzögerungsanordnungsteils 10 wird nach einer kurzen, durch die Gatterlaufzeiten bedingten Zeit direkt an den Ausgang der Anordnung selbst weitergeleitet. Dieser Signalverlauf ist für einen Einzelimpuls in der Fig. 3 sowie für einen Doppelimpuls in der Fig. 4 dargestellt. Die mit diesem Prozess einhergehende Verkürzung des Eingangsimpulses ist unbeabsichtigt und störend, da hierdurch bei bereits sehr kurzen Komparatorimpulsen ein völliges Verschwinden des jeweiligen Impulses eintreten kann. Deshalb wird mit der nachgeschalteten Anordnung zur Impulsrekonstruktion 12 wieder eine beispielsweise der Einzelimpulsbreite von 125 ns Impulslänge nahekommende Impulsbreite rekonstruiert. Die genaue Impulsbreite am Ausgang der Anordnung zur Impulsrekonstruktion 12 ist dabei nebensächlich. Wichtig ist, dass die interne Ausgestaltung aller verwendeten Verzögerungsanordnungsteile 10 und 11 immer die steigende Flanke des jeweiligen Eingangssignals und die der Anordnung zur Impulsrekonstruktion 12 jeweils die fallende Flanke des Eingangssignals exakt reproduzieren. Die Länge des rekonstruierten Impulses der Anordnung zur Impulsrekonstruktion 12 wird durch deren Biasstrom IBIA und die zugehö-

rige an IBIA angeschlossene Kapazität bestimmt. Als Impulsdauer wird dabei die Zeit verstanden, in der das Ausgangssignal Low-Pegel führt. An die Anordnung zur Impulsrekonstruktion 12 schließt sich linear ein zweiter Verzögerungsanordnungsteil 11 an, dessen Verzögerungszeit ebenfalls von dem zugehörigen Strom IBIA und der am Eingang IBIA angeschlossenen Kapazität bestimmt wird. Der Ausgang des zweiten Verzögerungsanordnungsteils 11 ist mit den Eingängen der Schaltung zur Formierung eines ersten Impulses 14 und der Schaltung zur Formierung eines zweiten Impulses 15 verbunden. Die zugehörigen Biasströme und Kapazitäten sind dabei so zu dimensionieren, dass am Ausgang der Schaltung zur Formierung eines ersten Impulses 14 beispielsweise bei Verwendung der Modulationsart 4PPM die erforderliche Einzelimpulsbreite von 125 ns für einen Einzelimpuls, sowie am Ausgang der Schaltung zur Formierung eines zweiten Impulses 15 die erforderliche Doppelimpulsbreite von 250 ns entsteht. Weiterhin wird die Zeitreferenzerzeugungsanordnung 5, welche durch das Prüfungssignal 9 den Entscheidungszeitpunkt zur Unterscheidung von Einzel- und Doppelimpulsen erzeugt, direkt vom Ausgang des ersten Verzögerungsanordnungsteils 10 angesteuert. Die Justage der Zeitdauer „tmono“ der Zeitreferenzerzeugungsanordnung 5 erfolgt mittels des zugehörigen Stromes IBIA und der am Eingang IBIA angeschlossenen zeitbestimmenden Kapazität. Das Ausgangssignal der Zeitreferenzerzeugungsanordnung 5 dient als Takteingang für ein statisches D-Master-Slave-Flipflop 13. Der Dateneingang des D-Master-Slave-Flipflops 13 ist mit dem invertierten Ausgangssignal des ersten Verzögerungsanordnungsteils 10 verbunden. Der asynchrone, Low-aktive Rücksetzeingang ist mit dem invertierten Ausgangssignal der Schaltung zur Formierung eines zweiten Impulses 15 verbunden. Der Ausgang des D-Flipflops adressiert einen Multiplexer 16, dessen Dateneingänge von den Ausgängen der Schaltung zur Formierung eines ersten Impulses 14 (an I0) und der Schaltung zur Formierung eines zweiten Impulses 15 (an I1) angesteuert werden. Der Ausgang Z des Multiplexers 16 bildet den Ausgang der Anordnung zur Formierung von Empfangsimpulsen 1, an dem in Abhängigkeit des Eingangssignals ein formierter

Einzel- oder Doppelimpuls ausgegeben wird.

Die Aufgabe der Schaltungsanordnung 1 besteht darin, bei jedem vom Komparator in den Eingang INP 2 einlaufenden Impuls zu entscheiden, ob es sich um einen Einzel- oder einen Doppelimpuls handelt. Ziel ist es, von der Komparatorimpulsbreite abhängig formierte Einzel- bzw. Doppelimpulse zu erzeugen. Günstig für die Entscheidungsschwelle ist hierbei, wenn diese in Abhängigkeit von der Charakteristik der vorgeschalteten Analogschaltung mittig zwischen maximal auftretender Einzelimpulsbreite und minimal auftretender Doppelimpulsbreite (am Komparatorausgang) liegt. Grundanliegen ist es dabei, dass Doppelimpulse niemals in 2 kurz aufeinanderfolgende Einzelimpulse zerfallen dürfen. Erfindungsgemäß wird diese Aufgabe so gelöst, dass eine Verschiebung des Eingangssignals erfolgt, so dass ein Zeitfenster entsteht, währenddessen eine Entscheidung getroffen werden kann, ob am Schaltungseingang INP 2 ein Impuls mit kleinerer oder größerer Impulsbreite als durch eine Entscheidungsschwelle vorgegeben ist, angelegen hat. Alle Zeitverschiebungen werden mittels Verzögerungsschaltungen realisiert, welche nur die fallende Flanke des Eingangssignals verschieben. Dies ist diejenige Flanke, welche mit „Licht an“ ausgelöst wird und somit den Impulsbeginn kennzeichnet. Da am Ausgang des Komparators insbesondere an der Empfindlichkeitsgrenze sehr schmale und damit bei Einzelimpulsen deutlich unter 125 ns liegende Impulsbreiten auftreten, erfolgt nach der ersten Verzögerung im ersten Verzögerungsanordnungsteil 10, welche eine Impulsverkürzung zur Folge hat, mittels einer Anordnung zur Impulsrekonstruktion 12 eine Regenerierung der Impulsbreite auf Einzelimpulsbreite. Der zweite Verzögerungsanordnungsteil 11 generiert danach den zweiten Teil des erforderlichen Zeitfensters. Eine konzentrierte Ausführung der Signalverzögerung ist auf Grund der beschriebenen Notwendigkeit, sehr kurze Komparatorimpulse verarbeiten zu können, nicht möglich.

Da für jeden Impuls die Einschaltflanke, separat betrachtet, im

Zeitraster an gleicher Stelle liegt, muss eine Information über die Impulsbreite spätestens vor der Impulsregeneration mit der Anordnung zur Impulsrekonstruktion 12 entnommen werden. Prinzipiell besteht die Möglichkeit, dieses Signal entweder aus dem Eingang der Schaltungsanordnung INP 2 oder aber aus dem Ausgang des ersten Verzögerungsanordnungsteils 10 zu entnehmen. Nur an diesen beiden Stellen ist die Information über die Ausschaltflanke unverfälscht verfügbar. Aus Zweckmäßigkeitsgründen wird das Ausgangssignal des ersten Verzögerungsanordnungsteils 10 verwendet, da damit die in der Zeitreferenzerzeugungsanordnung 5 zu realisierende Zeit um „tdelay“ des ersten Verzögerungsanordnungsteils 10 kleiner ist und damit eine flächenmäßig günstigere Lösung entsteht. Nach Ablauf der summarischen Zeitverschiebung des ersten Verzögerungsanordnungsteils 10 und des zweiten Verzögerungsanordnungsteils 11 ($2 * t_{delay}$), werden die Schaltung zur Formierung eines ersten Impulses 14 und die Schaltung zur Formierung eines zweiten Impulses 15 beispielsweise bei 4PPM zur Erzeugung eines Einzelimpulses und zur Erzeugung eines Doppelimpulses gleichzeitig gestartet. Die Ausgangssignale der Formierungsschaltungen 14 und 15 werden den Dateneingängen eines 2-Kanal-Multiplexers 16 zugeführt. Je nach Adressierung des Multiplexers 16, gesteuert durch das Ausgangssignal des D-Flipflops 13, wird dem Ausgang der Schaltungsanordnung OUT 3 entweder das Ausgangssignal der Schaltung zur Formierung eines ersten Impulses 14 oder der Schaltung zur Formierung eines zweiten Impulses 15 zugeführt, so dass an dessen Ausgang OUT 3 entweder ein generierter Einzelimpuls oder ein generierter Doppelimpuls ausgegeben wird.

Die Zeitreferenzerzeugungsanordnung 5 erzeugt, gesteuert durch das Startsignal 8, das Prüfsignal 9 für die Unterscheidung von Einzel- und Doppelimpulsen. Als Zeitbasis für die Interpretation der einlaufenden Impulsbreite gilt insgesamt:

$$t_{ref} = t_{delay} + t_{mono}$$

Da die Schaltung zur Formierung eines zweiten Impulses 15 ohne Impulse am Ausgang stets High-Pegel führt, ist der Reset-Zustand in Flipflop 13 nur während des Ablaufs der Zeit „tmono“ aufgehoben. Ausschließlich in dieser Zeit kann durch das Flipflop 13 zum Zeitpunkt der Low-High-Flanke am Ausgang der Zeitreferenzerzeugungsanordnung 5 der in diesem Moment vorliegende Zustand des Komparatorausgangs, bzw. des Signals am Ausgang des ersten Verzögerungsanordnungsteils 10 abgetastet und das Flipflop 13 daraufhin umgesetzt werden, und zwar genau dann, wenn der Ausgang des ersten Verzögerungsanordnungsteils 10 in diesem Moment Low-Pegel führt. Da das Flipflop 13 nach Abschluss des jeweils längsten Vorgangs mit der Low-High-Flanke am Ausgang der Schaltung zur Formierung eines zweiten Impulses 15 asynchron zurückgesetzt wird, beginnt jeder neue Vorgang stets im Zustand „Reset“ des Flipflops 13 und damit mit der Adressierung der Schaltung zur Formierung eines ersten Impulses 14. Somit ist die Einstellung von Einzelimpulsen am Ausgang des Multiplexers 16 gegeben. Da durch den gleichzeitigen Start der Schaltung zur Formierung eines ersten Impulses 14 und der Schaltung zur Formierung eines zweiten Impulses 15 im Umschaltmoment beide Low-Pegel führen, ist der Adresswechsel am Multiplexer unter dem Aspekt von Glitches unkritisch.

In den Fig. 3 und Fig. 4 sind typische Signalverläufe für die Verarbeitung von Einzelimpulsen (125 ns) und Doppelimpulsen (250 ns) bei Verwendung der Modulationsart 4PPM dargestellt. Aus diesen Figuren ist ersichtlich, wie der Zustand am Ausgang des ersten Verzögerungsanordnungsteils zu dem Zeitpunkt der Low-High-Flanke von der Zeitreferenzerzeugungsanordnung 5 über die Selektion der Impulse aus der Schaltung zur Formierung eines ersten Impulses 14 oder der Schaltung zur Formierung eines zweiten Impulses 15 entscheidet. Die Fig. 5 stellt als Extremfall die Grenze dar, innerhalb derer ein außerordentlich langer Einzelimpuls (186 ns) noch von einem außerordentlich kurzen Doppelimpuls (196 ns) unterschieden werden kann. Bis zu dieser Grenze können die vom Komparator ausgegebenen Impulsbreiten

liegen, was weit außerhalb der im IrDA-Standard definierten Impulsbreiten liegt. Unter Verwendung einer solchen Schaltung sinken somit die Anforderungen an den Analogkomplex der Empfängerschaltung.

5

Fig. 6 zeigt ein Ausführungsbeispiel für eine Verzögerungsschaltung nach dem Stand der Technik. In der Fig. 7 ist eine Ausführung für eine Anordnung zur Impulsrekonstruktion und zur Formierung eines ersten Impulses, eines zweiten Impulses und der Zeitreferenzerzeugung gezeigt, bei der mittels technologischer Dimensionierung der Gatterbestandteile einer Differenzierschaltung 17 die Länge des zu erzeugenden Ausgangsimpulses der Anordnung eingestellt wird.

10

15

5

10 **Verfahren und Anordnung zur Formierung von Empfangsimpulsen
in einem Infrarot-Empfänger**

Bezugszeichenliste

- 15 1 Anordnung zur Formierung von Empfangsimpulsen
2 Eingang INP
3 Ausgang OUT
20 4 Verzögerungsanordnung
5 Zeitreferenzerzeugungsanordnung
25 6 Ausgangsimpulserzeugungsanordnung
7 Verzögertes Eingangssignal
8 Startsignal
30 9 Prüfungssignal
10 erster Verzögerungsanordnungsteil
35 11 zweiter Verzögerungsanordnungsteil
12 Anordnung zur Impulsrekonstruktion
13 Flipflop
40 14 Schaltung zur Formierung eines ersten Impulses
15 Schaltung zur Formierung eines zweiten Impulses
45 16 Multiplexer

	17 Differenzierschaltung
	18 erster Eingang
5	19 erster Ausgang
	20 zweiter Ausgang
	21 zweiter Eingang
10	22 dritter Eingang
	23 dritter Ausgang
15	24 Schmitt-Trigger

5

10 **Verfahren und Anordnung zur Formierung von Empfangsimpulsen
in einem Infrarot-Empfänger**

Patentansprüche

- 15 1. Verfahren zur Formierung von Empfangsimpulsen in einem
nach dem IrDA-Standard arbeitenden Empfänger, bei dem die
Ausgangssignale eines vorgeschalteten Komparators, welcher
Lichtimpulse erkennt, zur Auswertung durch eine nachgeord-
nete Anordnung neu formiert und als Impulse ausgegeben
20 werden, **dadurch gekennzeichnet**, dass in einem ersten
Schritt eine Verzögerung eines vom vorgeschalteten Kompa-
rator gelieferten Eingangssignals erfolgt, dass gesteuert
durch das Eingangssignal eine Erzeugung einer Zeitreferenz
gestartet wird, dass gesteuert durch das im ersten Schritt
25 verzögerte Eingangssignals die Formierung eines Ausgangs-
impulses gestartet wird, dass mit der Beendigung der Er-
zeugung der Zeitreferenz eine Prüfung des Eingangssignal-
pegels erfolgt, welche einen Rückschluss auf die empfange-
ne Impulslänge realisiert und dass in Abhängigkeit des Er-
30 gebnisses der Prüfung die Dauer des Ausgangsimpulses ein-
gestellt wird.
- 35 2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass
die Verzögerung des vom vorgeschalteten Komparator gelie-
fertten Eingangssignals in einem ersten und einem zweiten

Teilschritt erfolgt und dass zwischen den Verzögerungsteilschritten eine Regenerierung des Signals durchgeführt wird.

- 5 3. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass die Erzeugung der Zeitreferenz durch das Eingangssignal oder das im ersten Teilschritt verzögerte Eingangssignal gestartet wird.
- 10 4. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, dass die Formierung eines Ausgangsimpulses derart erfolgt, dass die Formierung eines ersten Impulses und eines zweiten Impulses zeitgleich gestartet wird und in Abhängigkeit der Prüfung des Eingangssignalpegels entweder der erste oder
- 15 der zweite Impuls am Ausgang ausgegeben wird.
- 20 5. Anordnung zur Formierung von Empfangsimpulsen in einem nach dem IrDA-Standard arbeitenden Empfänger, bei dem die Ausgangssignale eines vorgeschalteten Komparators, welcher Lichtimpulse erkennt, zur Auswertung durch eine nachgeordnete Anordnung neu formiert werden, **dadurch gekennzeichnet**, dass der Eingang (18) einer Verzögerungsanordnung (4) mit dem Eingang der Anordnung zur Formierung von Empfangsimpulsen INP (2), zur Einspeisung des Komparatorsignals, verbunden ist, dass ein erster Ausgang (19) der Verzögerungsanordnung (4) mit einem ersten Eingang (21) einer nachgeschalteten Ausgangsimpulserzeugungsanordnung (6) und der zweite Ausgang der Verzögerungsanordnung (20) mit einem Eingang einer Zeitreferenzerzeugungsanordnung (5) verbunden ist, dass der Ausgang der Zeitreferenzerzeugungsanordnung (5) mit einem zweiten Eingang (22) der Ausgangsimpulserzeugungsanordnung (6) verbunden ist und dass der Ausgang (23) der Ausgangsimpulserzeugungsanordnung (6) mit dem Ausgang OUT (3) der Anordnung zur Formierung von Empfangsimpulsen (1) verbunden ist.
- 25
- 30
- 35

- 5 6. Anordnung nach Anspruch 5, **dadurch gekennzeichnet**, dass die Verzögerungsanordnung (4) aus einer Reihenschaltung eines ersten und eines zweiten Verzögerungsanordnungsteils (10 und 11) und einer zwischen beide Anordnungen (10 und 11) geschalteten Anordnung zur Impulsrekonstruktion (12) besteht.
- 10 7. Anordnung nach Anspruch 5, **dadurch gekennzeichnet**, dass die Ausgangsimpulserzeugungsanordnung (6) aus einer Schaltung zur Formierung eines ersten Impulses (14), einer Schaltung zur Formierung eines zweiten Impulses (15), einer Schaltung zur Prüfung des Eingangssignalpegels (13) und einer AuswahlSchaltung (16) besteht.
- 15 8. Anordnung nach Anspruch 6, **dadurch gekennzeichnet**, dass eine Verzögerungsanordnung (10 oder 11) aus einem p-Kanaltransistor, dessen Gateanschluss mit einem Eingang einer logischen NAND-Schaltung und über einen Negator mit dem Eingang „Input“ verbunden ist, dessen Sourceanschluss mit dem Potential VDDa verbunden ist und dessen Drainanschluss mit dem Eingang IBIA der Verzögerungsanordnung und dem Eingang eines Schmitt-Triggers verbunden ist, einem Schmitt-Trigger (24), dessen negierter Ausgang mit dem zweiten Eingang der logischen NAND-Schaltung verbunden ist und der logischen NAND-Schaltung, deren negierter Ausgang mit dem Ausgang der Verzögerungsanordnung „Output“ verbunden ist, besteht.
- 20 25 30 35 9. Anordnung nach Anspruch 6, **dadurch gekennzeichnet**, dass in einer Anordnung zur Impulsrekonstruktion (12) und zur Formierung eines ersten Impulses (14), eines zweiten Impulses (15) und der Zeitreferenzerzeugung (5) jeweils ein Eingang „Input“ mit einem Negator verbunden ist, dass der Ausgang des Negators mit dem ersten Eingang einer nachgeschalteten ersten NAND-Schaltung und einer aus drei Negatoren bestehenden Reihenschaltung, deren Ausgang mit dem zweiten Ein-

gang der ersten NAND-Schaltung verbunden ist, verbunden ist, dass der Ausgang der ersten NAND-Schaltung mit einem ersten Eingang einer zweiten NAND-Schaltung verbunden ist, dass der Eingang IBIA der Anordnung mit dem Drainanschluss eines p-Kanaltransistors und über einen Schmitt-Trigger mit dem ersten Eingang einer NOR-Schaltung verbunden ist, dass der Eingang POC der Anordnung mit dem zweiten Eingang der NOR-Schaltung verbunden ist, dass der Ausgang der NOR-Schaltung mit dem ersten Eingang der dritten NAND-Schaltung verbunden ist, dass der Ausgang der dritten NAND-Schaltung mit dem zweiten Eingang der zweiten NAND-Schaltung, über einen Negator mit dem Gateanschluss des p-Kanaltransistors, dessen Sourceanschluss mit dem Potential VDDa verbunden ist, sowie mit dem Ausgang „Output“ der Anordnung verbunden ist und dass der Ausgang der zweiten NAND-Schaltung mit dem zweiten Eingang der dritten NAND-Schaltung verbunden ist.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2004/001244

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H04B10/158

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 169 765 B1 (HOLCOMBE WAYNE T) 2 January 2001 (2001-01-02) column 3, line 19 - line 43 column 4, line 14 - line 41 column 5, line 59 - column 6, line 9 figure 3	1,5
A	US 6 240 283 B1 (HOLCOMBE WAYNE T) 29 May 2001 (2001-05-29) column 2, line 52 - column 3, line 19 column 4, line 29 - column 5, line 15 figures 2,3	1,5
A	EP 0 905 947 A (NIPPON ELECTRIC CO) 31 March 1999 (1999-03-31) column 2, paragraph 7 column 2, paragraph 9 figures 4,12	1,5

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

5 October 2004

Date of mailing of the international search report

19/10/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Hadziefendic, I

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE2004/001244

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6169765	B1	02-01-2001	NONE
US 6240283	B1	29-05-2001	NONE
EP 0905947	A	31-03-1999	JP 3080907 B2 28-08-2000
			JP 11041300 A 12-02-1999
			CN 1212527 A ,B 31-03-1999
			EP 0905947 A2 31-03-1999
			TW 413990 B 01-12-2000
			US 6304600 B1 16-10-2001

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/001244

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H04B10/158

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H04B

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EP0-Internal, WPI Data, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 169 765 B1 (HOLCOMBE WAYNE T) 2. Januar 2001 (2001-01-02) Spalte 3, Zeile 19 - Zeile 43 Spalte 4, Zeile 14 - Zeile 41 Spalte 5, Zeile 59 - Spalte 6, Zeile 9 Abbildung 3	1,5
A	US 6 240 283 B1 (HOLCOMBE WAYNE T) 29. Mai 2001 (2001-05-29) Spalte 2, Zeile 52 - Spalte 3, Zeile 19 Spalte 4, Zeile 29 - Spalte 5, Zeile 15 Abbildungen 2,3	1,5
A	EP 0 905 947 A (NIPPON ELECTRIC CO) 31. März 1999 (1999-03-31) Spalte 2, Absatz 7 Spalte 2, Absatz 9 Abbildungen 4,12	1,5



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

5. Oktober 2004

Absendedatum des internationalen Recherchenberichts

19/10/2004

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Hadziefendic, I

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001244

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6169765	B1	02-01-2001	KEINE
US 6240283	B1	29-05-2001	KEINE
EP 0905947	A	31-03-1999	JP 3080907 B2 28-08-2000
			JP 11041300 A 12-02-1999
			CN 1212527 A ,B 31-03-1999
			EP 0905947 A2 31-03-1999
			TW 413990 B 01-12-2000
			US 6304600 B1 16-10-2001



PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Verfahren und eine dazugehörige Schaltungsanordnung zur Formierung von Empfangsimpulsen anzugeben, mit dem eine platz- und energiesparende Formierung von Empfangsimpulsen erreicht wird, das sich in bestehende Empfängersysteme integrieren lässt, keine externe Zeitbasis erfordert und mit dem Signal eines vorgeschalteten Komparators auskommt. Gemäß der Erfindung wird die Aufgabe verfahrensseitig dadurch gelöst, dass in einem ersten Schritt eine Verzögerung eines vom vorgeschalteten Komparator gelieferten Eingangssignals erfolgt, dass gesteuert durch das Eingangssignal eine Erzeugung einer Zeitreferenz gestartet wird, dass gesteuert durch das im ersten Schritt verzögerte Eingangssignals die Formierung eines Ausgangsimpulses gestartet wird, dass mit der Beendigung der Erzeugung der Zeitreferenz eine Prüfung des Eingangssignalpegels erfolgt, welche einen Rückschluss auf die empfangene Impulslänge realisiert und dass in Abhängigkeit des Ergebnisses der Prüfung die Dauer des Ausgangsimpulses eingestellt wird.